

ニューロンCMOSを用いたデジタルコンパレータに関する一提案

西口大嗣^{*1} 矢原充敏^{*2} 福原雅朗^{*3} 藤本邦昭^{*4}

A Proposal for a Digital Comparator Using Neuron CMOS

by

Daishi NISHIGUCHI, Mitsutoshi YAHARA, Masaaki FUKUHARA and Kuniaki FUJIMOTO

(Received: October 31, 2023, Accepted: December 23, 2023)

Abstract

In recent years, the technology of portable devices has advanced remarkably, and in designing circuits for portable devices, circuits with low power consumption, fast operation speed, and small circuit area are required. One of the important circuits included in these computer architectures is a digital comparator, but if it is configured with conventional CMOS technology, it requires a large number of transistors, which adversely affects power consumption, operating speed, and circuit area. Some studies have realized a digital comparator with fewer transistors, but the problem is that the circuit operation becomes unstable. In this paper, we propose a digital comparator using a neuron CMOS with FGC function as a circuit element. As a result of using neuron CMOS, this circuit can realize a digital comparator with a much smaller number of transistors, and it operates stably by using the calibration function. The proposed circuit was verified to achieve the desired behavior by HSPICE simulation using SPICE parameters for OnsemiSanyo Semiconductor Manufacturing's 0.8- μm CMOS process.

Key Words : Neuron CMOS, Portable device, Comparator, Integrated-circuit, Calibration

1. はじめに

近年、ラップトップPCや携帯電話、スマートウォッチなど様々なポータブルデバイスが盛んに活用されるようになった。そのポータブルデバイスの回路設計をする上では、消費電力、回路面積、動作速度のパラメータが重要となる。

ポータブルデバイスのコンピュータアーキテクチャに含まれる重要な回路の一つにデジタルコンパレータ¹⁾がある。デジタルコンパレータは、ビット数の等しい2つのバイナリデータの比較を行う回路であり、データの並べかえをはじめとする様々なアルゴリズムで利用されている。従来のCMOS技術を用いてデジタルコンパレータを実現した場合、多数のトランジスタが必要になる。トランジスタが多くなることで回路面積の増大、消費電力の増加、動作速度の低下の問題が発生するため、トランジスタ数の少ない効率のよいデジタルコンパレータの開発が求められている。

トランジスタ数の少ない効率的なデジタルコンパレータとしてパストランジスタロジック (PTL) を用いた

方式やトランスミッションゲート (TG) を利用した方式²⁾、ゲート拡散入力 (GDI) を利用した方式^{4)~6)}、フローティングゲート MOS (FGMOS) を利用した方式⁷⁾⁸⁾など様々なものが提案されている⁹⁾。これらは、従来のCMOS技術を用いた回路に比べて少ないトランジスタ数でデジタルコンパレータの実装が可能である。特にFGMOSを利用した方式は回路要素として容量が必要となるが、トランジスタ数を極めて少なくしたデジタルコンパレータの設計が可能である。しかし、この方式はトランジスタの温度変化による閾電圧変動の影響を受ける問題がある。また、フローティングゲートの初期電荷をリセットするため、チップ製造後にUV処理等が必要となる¹⁰⁾。

本研究では、FGMOSの一つであるFGのキャリブレーション (FGC) 機能を有するニューロンMOS¹¹⁾を応用したデジタルコンパレータを提案する。本回路は先に提案されているFGMOSの閾電圧変動の影響をなくすことで安定動作を実現している。また、従来のCMOS技術やGDIを利用したデジタルコンパレータと比較し、少ないトランジスタ数での設計が可能である。

以下、第2章では、(FGC) 機能を持ったニューロンCMOSの回路構成と動作解析を行う。第3章ではニューロンMOSを応用したデジタルコンパレータの回路構成と動作解析を行う。第4章では、第3章の回路に一致機

^{*1} 総合科学技術研究所 特定助手

^{*2} 文理融合学部 地域社会学科 教授

^{*3} 情報通信学部 情報通信学科 准教授

^{*4} 文理融合学部 人間情報工学科 教授

能を付加したデジタルコンパレータを提案し、HSPICE を用いたシミュレーション、従来回路との比較を行う。最後に第5章でまとめを述べる。

2. FGC 機能を持ったニューロン CMOS

ニューロン MOS 及びニューロン MOS を相補的に接続したニューロン CMOS は、1989 年に東北大学で開発された複数の入力をもつデバイスであり、入力の重み付き線形和によりインバータの閾電圧を可変にしている。このデバイスを用いることにより、従来の CMOS 技術を用いた方式に比べて非常に少ないトランジスタで様々な論理機能を実現できる¹⁾。

2.1 回路構成 図1に入力数を n とした FGC 機能を持ったニューロン CMOS の回路図、図2にその等価回路を示す。本回路は CMOS インバータ用のトランジスタ M_1 、 M_2 、FGC を行うためのトランジスタ M_3 、入力端子と CMOS インバータのゲート間の容量 C_i ($i=1,2,\dots,n$) によって構成されている。トランジスタ M_3 は、キャリブレーション信号 CAL がハイレベルのとき ON 状態となる。このトランジスタが OFF の状態において、CMOS インバータのゲート部分は電気的にフローティングとなるため、この部分をフローティングゲート (FG) と呼ぶ。本回路は、入力電圧 V_i ($i=1,2,\dots,n$) を任意の電圧に設定した状態で CMOS アナログスイッチを ON 状態にし、キャリブレーションを行うことで FG の電圧 V_F を CMOS インバータの閾電圧 V_{TH} に設定する。その後、入力電圧を変動させ、FG の電圧が CMOS インバータの閾電圧 V_{TH} を超過すれば出力 V_{OUT} はローレベル、 V_{TH} 未満であればハイレベルを出力する。FG と V_{TH} が等しい場合においては、 V_{OUT} は V_{TH} から変化しないがノイズ等の影響を受け出力が定まらない。そのため、この状態を避けて設計する。

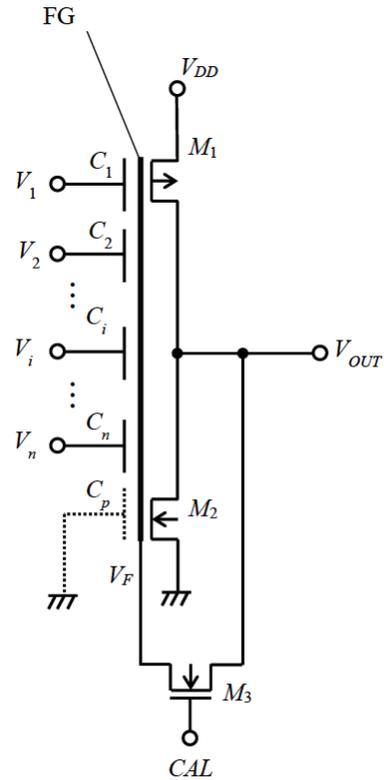
2.2 動作解析 FGC 機能付きニューロン CMOS は、各入力端子に任意の電圧を印加し CAL をハイレベルにすることでフローティングゲートのキャリブレーション (FGC 動作) を行う。このとき、FG の電圧 V_F は

$$V_F = V_{TH} \tag{1}$$

となる。これは CMOS インバータの入力と出力を接続すると出力電圧が CMOS インバータの閾電圧になることを利用している。この状態で CAL をローレベルにし、スイッチを OFF にした状態で入力電圧を ΔV_i

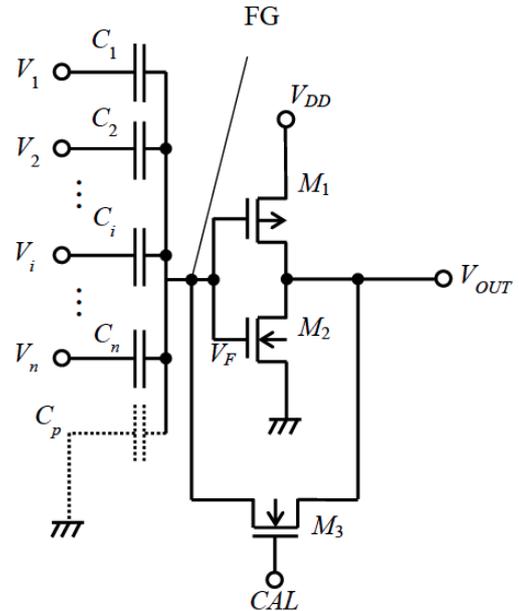
($i=1,2,\dots,n$) だけ変化させると V_F は、

$$V_F = V_{TH} + \frac{\sum_{i=0}^n C_i \Delta V_i}{C_T} \tag{2}$$



V_F : Floating gate voltage

図1 ニューロン CMOS の回路図



V_F : Floating gate voltage

図2 ニューロン CMOS の等価回路

となる。ここで C_T は FG に接続された寄生容量 C_p を含む容量の総和であり次式で示される。

$$C_T = \sum_{i=1}^n C_i + C_p \quad (3)$$

CMOS インバータの出力 V_{OUT} は次式で示される。

$$V_{OUT} = \begin{cases} 0 & \text{if } V_{TH} \leq V_F \\ V_{DD} & \text{if } V_{TH} > V_F \end{cases} \quad (4)$$

式 (4) に式 (2) を代入すると

$$V_{OUT} = \begin{cases} 0 & \text{if } V_{TH} \leq V_{TH} + \frac{\sum_{i=1}^n C_i \Delta V_i}{C_T} \\ V_{DD} & \text{if } V_{TH} > V_{TH} + \frac{\sum_{i=1}^n C_i \Delta V_i}{C_T} \end{cases} \quad (5)$$

となり、これを整理すると

$$V_{OUT} = \begin{cases} 0 & \text{if } 0 \leq \sum_{i=1}^n C_i \Delta V_i \\ V_{DD} & \text{if } 0 > \sum_{i=1}^n C_i \Delta V_i \end{cases} \quad (6)$$

となる。以上より、FGC 機能を持ったニューロン CMOS は FGC 動作時から変化した入力の重み付き線形和が 0 を超えた場合にハイレベル、0 未満の場合にローレベルを出力する回路といえる。また、式(6)より出力 V_{OUT} は CMOS インバータの閾電圧 V_{TH} とゲート容量 C_T の影響を受けないことが分かる。

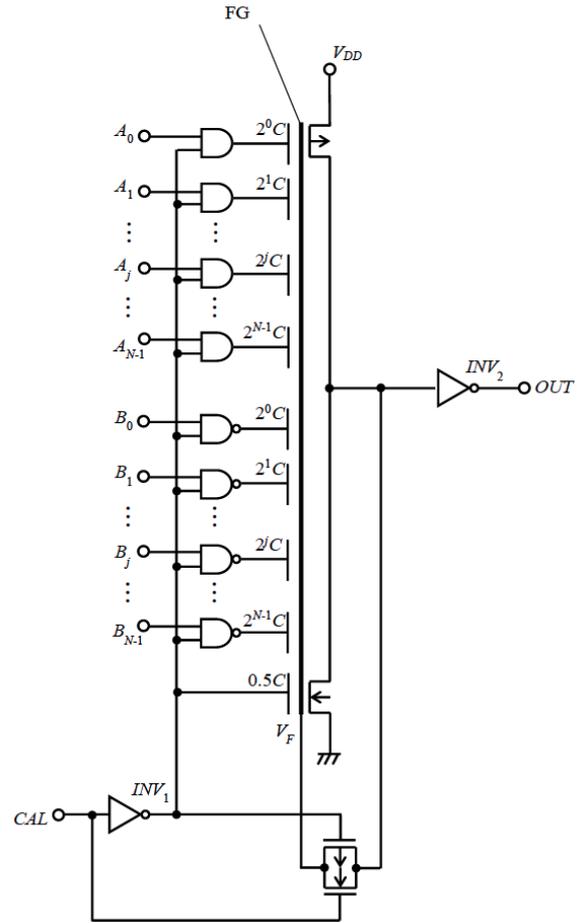


図3 ニューロン CMOS を用いたデジタルコンパレータの回路図

3. ニューロン CMOS を用いたデジタルコンパレータ

3.1 提案回路の回路構成 入力データのビット数を N とした FGC 機能をもつニューロン CMOS によるデジタルコンパレータの回路図を図 3 に示す。本回路はコンパレータのビット数に応じた AND 回路と NAND 回路、FGC 機能をもつニューロン CMOS、2 つのインバータ INV_1, INV_2 、FGC 用の CMOS アナログスイッチによって構成されている。 V_{DD} は電源電圧である。ニューロン CMOS の閾電圧 V_{TH} は、トランジスタのゲート幅を調整することで $V_{DD}/2$ となるように設計している。ニューロン CMOS に接続されている各容量の容量値は各データの 0 ビット目の容量を単位容量 C (2^0C) とし、1 ビット目は $2C$ (2^1C)、2 ビット目は $4C$ (2^2C) とビット数が増えるごとに倍の容量となるように設計している。また、FGC 動作後に FG の電圧 V_F とインバータの閾電圧 V_{TH} が等しくなるようにするため、 $0.5C$ の容量を追加している。

3.2 提案回路の動作解析 提案するニューロン CMOS を用いたデジタルコンパレータは、まず、 N ビットのデータ A (A_0, A_1, \dots, A_{N-1})、 B (B_0, B_1, \dots, B_{N-1}) にそれぞれ任意の値を入れた状態で CAL をハイレベルにすることで FGC 動作を行う。 CAL がハイレベルの状態では INV_1 によって、すべての NAND と AND に論理値 0 が入力されるため、AND の出力論理値はすべて 0、NAND の出力論理値はすべて 1 となる。また、 $0.5C$ の容量には論理値 0 が入力される。

次に、 CAL をハイレベルにすると 1 が入力されている AND ゲートの出力が 0 から 1 に変化し、1 が入力されている NAND ゲートの出力が 1 から 0 に変化する。 $0.5C$ の容量の入力は、0 から 1 に変化する。これより、式 (6) の重み付き線形和は次のように示すことができる。

$$\sum_{i=1}^n C_i \Delta V_i = \left\{ \sum_{j=0}^{N-1} (2^j C A_j - 2^j C B_j) + 0.5C \right\} V_{DD} \quad (7)$$

なお、式において n はニューロン CMOS の入力数、 N はコンパレータのビット数であり、 $n=2N+1$ の関係にある。式 (6) より、式 (7) の重み付き線形和が 0 を超えるとニューロン CMOS はローレベルを出力し、 INV_2 がそれを反転することで出力 OUT はハイレベルを出力する。0 未満の場合、ニューロン CMOS はハイレベルを出力し、 INV_2 がそれを反転する事により出力 OUT はローレベルとなる。

具体的な動作を説明するために、ここでは入力データを 2 ビット ($N=2, n=5$) とした場合を考える。一例としてデータ A を $(A_1 A_0)_2 = (10)_2$ データ B を $(B_1 B_0)_2 = (01)_2$ とする。この場合、式 (7) よりニューロン CMOS の重み付き線形和は、

$$\sum_{i=1}^n C_i \Delta V_i = \left\{ \begin{array}{l} 2^0 C A_0 + 2^1 C A_1 \\ -(2^0 C B_0 + 2^1 C B_1) + 0.5 \end{array} \right\} V_{DD} = (2C - C + 0.5C) V_{DD} \quad (8)$$

となる。これより、式 (8) は 0 以上となるため式 (6) よりニューロン CMOS 出力はローレベルとなる。この出力が INV_2 によって反転されるため、提案回路の出力 OUT はハイレベルとなる。

続いて、データ A が $(10)_2$ 、データ B が $(11)_2$ の場合を考える。式 (7) よりニューロン CMOS の重み付き線形和は

$$\sum_{i=1}^n C_i \Delta V_i = (2C - C - 2C + 0.5C) V_{DD} \quad (9)$$

となり 0 以下となる。したがって、ニューロン CMOS の出力はハイレベルとなり、それが INV_2 により反転されるため、提案回路の出力 OUT はローレベルとなる。

更に、データ A が $(10)_2$ 、データ B が $(10)_2$ の場合を考える。式 (7) よりニューロン CMOS の重み付き線形和は

$$\sum_{i=1}^n C_i \Delta V_i = (2C - 2C + 0.5C) V_{DD} \quad (10)$$

となり 0 以上となるため、提案回路の出力 OUT はハイレベルとなる。データ A, B と出力 OUT の関係を表 1 に示す。

以上より、提案回路は $A \geq B$ の場合にハイレベル、 $A < B$ の場合にローレベルを出力するデジタルコンパレータとして動作することが分かる。

4. ニューロン CMOS を用いた一致検出可能なデジタルコンパレータ

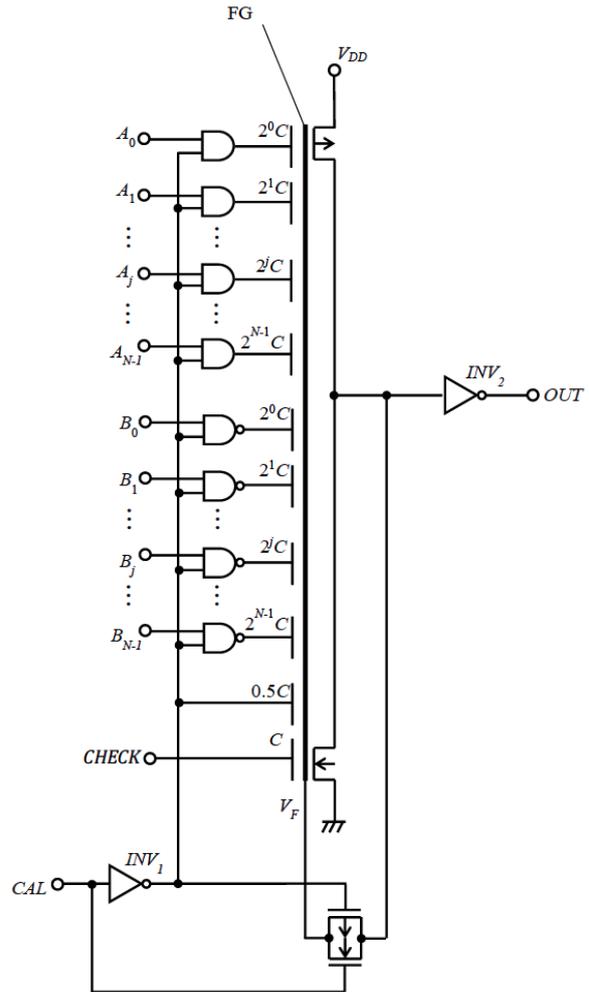


図4 ニューロン CMOS を用いた一致検出可能なデジタルコンパレータの回路図

表1 デジタルコンパレータの真値表

Data	OUT
$A \geq B$	1
$A < B$	0

4.1 回路構成と動作解析 前章で提案したデジタルコンパレータは 2 つのデータの大小の比較は可能であるが、一致検出を行うことができない。そこで、データの一致検出可能なデジタルコンパレータを提案する。図 4 は、データの一致検出可能なデジタルコンパレータの回路図である。前章のデジタルコンパレータとの違いは、FG に対して一致検出用の容量と入力端子 CHECK を

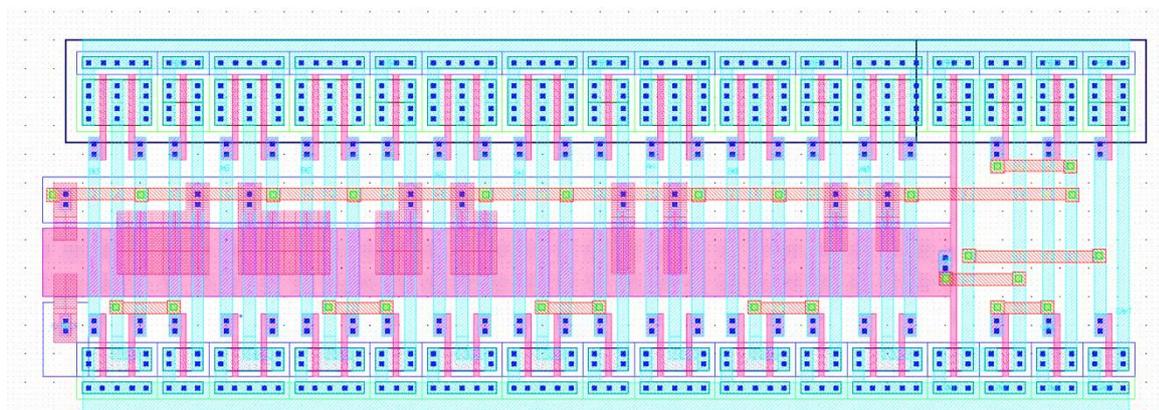


図5 ニューロンCMOSを用いた一致検出可能なデジタルコンパレータのレイアウト(4ビット)

設けた点である。一致検出用の容量は単位容量 C としている。ニューロンCMOSの入力数が1つ増えたため入力数 n は $2N+2$ となる。

本回路の動作は、*CHECK* をハイレベルにした状態で前章と同様に2つの入力データの比較を行う。この時点では、2つのデータ A, B の関係が $A \geq B$ の場合にハイレベル、 $A < B$ の場合にローレベルを出力している。

ここで、2つのデータ A, B の関係が $A = B$ の場合を考える。 $A = B$ の状態では、ニューロンCMOSの重み付き線形和は

$$\sum_{i=1}^n C_i \Delta V_i = 0.5C \quad (11)$$

となる。結果として、出力 *OUT* はハイレベルとなっている。この出力が安定した状態で *CHECK* をローレベルにすると、ニューロンCMOSの重み付き線形和は

$$\sum_{i=1}^n C_i \Delta V_i = 0.5C - C \quad (12)$$

となり、出力 *OUT* がハイレベルからローレベルに反転する。これより、本回路は一致の検出が可能となる。 $A > B$ 及び $A < B$ の場合においては、*CHECK* 端子をハイレベルにしても出力 *OUT* は変化しない。データ A, B と出力の関係を表2に示す。以上より本回路の出力は $A > B$ の場合は常にハイレベル、 $A < B$ の場合は常にローレベル、 $A = B$ の場合には *CHECK* をハイレベルからローレベルにすると出力がハイレベルからローレベルに反転する一致検出可能なデジタルコンパレータとして動作する。

4.2 シミュレーション 比較するデータのビット数を4にしたニューロンCMOSを用いた一致検出可能なディ

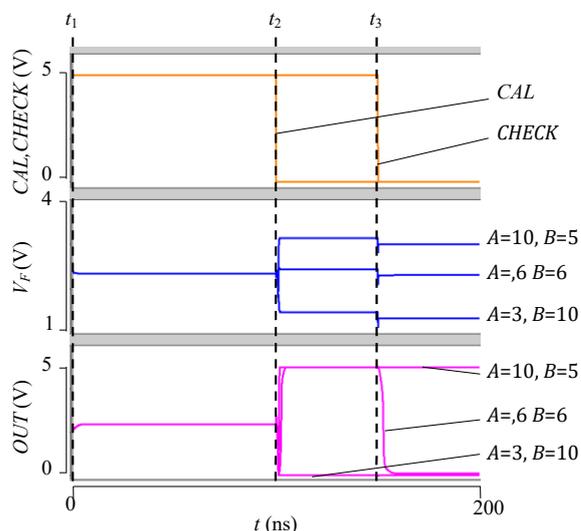


図6 シミュレーション結果

表2 一致検出付きデジタルコンパレータの真理値表

Data	OUT
$A > B$	1
$A < B$	0
$A = B$	1 → 0

ジタルコンパレータのレイアウトを作成し、HSPICE シミュレーションによりその動作を確認した。図5は、シミュレーションに用いた回路のレイアウトである。シミュレーションには、オンセミ-三洋半導体製造社の $0.8\mu\text{m}$

CMOS プロセスの SPICE パラメータを用い、電源電圧 V_{DD} は 5V を使用した。単位容量 C は、10.56fF で設計した。

図 6 は、 $A > B$ 、 $A < B$ 、 $A = B$ のそれぞれの場合におけるシミュレーション結果である。 t_1 は CAL をハイレベルにして FGC 動作を開始した時点、 t_2 は CAL をローレベルにした時点、 t_3 は $CHECK$ をローレベルにした時点である。図の時点 t_2 において $A \geq B$ の場合にフローティングゲート電圧 V_F がインバータの閾電圧 V_{TH} を超え、出力はハイレベルとなる。 $A < B$ の場合では V_F が V_{TH} を下回るため出力はローレベルとなる。また、時点 t_3 において $A = B$ の場合 V_{HT} が V_F より高い状態から低い状態になり出力がハイレベルからローレベルとなる。これより、提案回路は一致検出可能なニューロン CMOS として動作することが分かる。

4.3 従来回路との比較 従来技術で 4 ビットのデジタルコンパレータを作る際に必要なトランジスタ数は、CMOS 技術を用いた場合に 176 個、TG 技術を用いた場合 116 個、GDI 技術を用いた場合では 56 個必要であった⁷⁾。一方、ニューロン CMOS を用いた提案回路では 46 個のトランジスタで 4 ビットデジタルコンパレータを実現できる。また、ビット数を増やす場合、CMOS 技術を用いると 1 ビットあたり 54 個のトランジスタの追加、先行研究のニューロン MOS を用いたデジタルコンパレータでは 26 個のトランジスタの追加が必要である⁸⁾。一方、本回路ではビット数を増やす場合には、10 個のトランジスタの追加で実現できる。ただし、ビット数を増やすことで必要となる容量が指数関数的に大きくなるので、回路面積の増大に注意が必要である。

5. おわりに

本論文では、FGC 付きニューロン CMOS を応用したデジタルコンパレータを提案し、レイアウトから抽出したネットリストを用いた HSPICE シミュレーションによりその動作を確認した。提案回路は、従来回路に比べ少ないトランジスタ数で 2 つのバイナリデータの比較が可能である。今後は提案回路を実際にチップで作成し、その動作や消費電力を確認したい。また、多ビット化すると回路面積が大きくなる問題に対して、さらなる検討を行う予定である。

謝辞

本研究は、東京大学 VDEC 活動を通し (株) JS ファンドリ、凸版印刷(株)、日本シノプシス合同会社、日本ケイデンス・デザイン・システムズ社、シーメンス EDA ジャパン株式会社の協力で行われたものである。また、本研究は JSPS 科研費 JP23K03976 の助成を受けたものである。

参考文献

- 1) P. Chuang, D. Li and M. Sachdev, "A Low-Power High-Performance Single-Cycle Tree-Based 64-Bit Binary Comparator," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 59, no. 2, pp. 108-112, Feb. 2012.
- 2) S. Lubaba, K. M. Faisal, M. S. Islam and M. Hasan, "Design of a Two-Bit Magnitude Comparator Based on Pass Transistor, Transmission Gate and Conventional Static CMOS Logic," 2020 11th International Conference on Computing, Communication and Networking Technologies (ICCCNT), Kharagpur, India, pp. 1-5, 2020.
- 3) G. Prajpat, A. Joshi, A. Jain, K. Verma and S. K. Jaiswal, "Design of Low Power and High Speed 4-Bit Comparator Using Transmission Gate," 2013 International Conference on Machine Intelligence and Research Advancement, Katra, India, 2013, pp. 379-382.
- 4) V. Shekhawat, T. Sharma and K. G. Sharma, "2-Bit magnitude comparator using GDI technique," International Conference on Recent Advances and Innovations in Engineering (ICRAIE-2014), Jaipur, India, 2014, pp. 1-5.
- 5) A. Sharma and P. Sharma, "Area and power efficient 4-bit comparator design by using 1-bit full adder module," 2014 International Conference on Parallel, Distributed and Grid Computing, Solan, India, 2014, pp. 1-6.
- 6) U. B. Joy, A. Chakraborty, P. Biswas, A. Das, S. Sen and A. Tasnim, "Two-Bit Magnitude Comparator Design Using Gate Diffusion Input Technique and Static CMOS Logic," 2023 3rd International Conference on Robotics, Electrical and Signal Processing Techniques (ICREST), Dhaka, Bangladesh, pp. 2023, 17-21.
- 7) Roshani Gupta, Rocky Gupta, and Susheel Sharma. "Design of high speed and low power 4-bit comparator using FGMOS." AEU-International Journal of Electronics and Communications 76 (2017), pp.125-131, 2017.
- 8) 石川 洋平, 深井 澄夫, 相川 正義, "単一回路によるニューロン MOS コンパレータに関する一考察," 映像情報メディア学会誌, vol. 60, no. 5, pp. 807-812, 2006.
- 9) M. Hasan, U. K. Saha, M. S. Hossain, P. Biswas, M. J. Hossein and M. A. Z. Dipto, "Low Power Design of a Two Bit Magnitude Comparator for High Speed

- Operation," 2019 International Conference on Computer Communication and Informatics (ICCCI), Coimbatore, India, 2019, pp. 1-4.
- 10) T. Shibata and T. Ohmi, "Neuron MOS binary-logic integrated circuits. II. Simplifying techniques of circuit configuration and their practical applications," in IEEE Transactions on Electron Devices, vol. 40, no. 5, pp. 974-979, 1993.
 - 11) K. Kotani, T. Shibata, M. Imai, and T. Ohmi, "Clocked-Neuron-MOS logic circuits employing auto-threshold-adjustment," ISSCC Dig. Tech. Papers, Feb. 1995, FP 19.5, pp. 320-321.