東海大学基盤工学部紀要6（2018年）8頁～13頁
Bull. School of Industrial and Welfare Engineering, Tokai Univ., 6(2018), pp.8-13

# ニューロン CMOS インバータを用いた RAM 型最小ハミング距離検索連想メモリの検討

佐保十世紀* 原田裕二郎** 藤本邦昭***

# Study of a RAM Type Minimum Hamming Distance Search Associative Memory Using Neuron CMOS Inverters

by
Toyoki SAHO, Yujiro HARADA and Kuniaki FUJIMOTO

(Received: October 31, 2018, Accepted: March 12, 2019)

Abstract
Recently, pattern matching technologies such as fingerprint recognition, human detection, and voice detection have been used in every situation. In addition, a stream data processing technology which processes Big data in real-time is studied actively. In these fields, high-speed searching for the most similar data to the input data from a database is necessary. However, there is a problem that the searching takes a long time according to the increase in the number of bits and the amount of data when the software processes the searching operation. In order to solve this problem, an associative memory which searches for the most similar data at high-speed attracts a lot of attention. In this paper, we propose a minimum Hamming distance search RAM type associative memory which can output the most similar data by utilizing neuron CMOS inverters. In the proposed circuit, reference data are written from outside to the RAM. After that, the input data and the reference data are compared, and the most similar data is outputted. In this study, we designed a layout of the proposed circuit for an IC chip using Onsemi Sanyo 0.8μm CMOS process. Also, we confirmed that expected operations can be obtained through HSPICE simulations.

Key Words : Neuron CMOS Inverter, Associative Memory, Hamming Distance, Functional Memory

## 1．はじめに

近年、文字認識や、人物検出、音声認識などのパターンマッチング技術はあらゆる場面に用いられており、また、AI や、ビッグデータをリアルタイムで処理するストリームデータ処理の研究が盛んに行われている。これらの分野において、データベースの中から、リアルタイムで入力データに最も類似する参照データを検索する処理は必要不可欠である。しかしながら、コンピュータは、命令を逐次処理するため、ビット数やデータ数の増加に伴い、検索に非常に時間がかかるという問題点がある。

この問題を解決するため、入力データに最も類似する参照データを検索する連想メモリが注目されている [1-5]。一般的なメモリは、アドレスを指定すると、そのアドレスに格納されているデータが出力される。一方、連想メモリは、機能メモリの１つであり、入力したデータと一致または類似したデータを並列に検索するため、高速な処理が可能である。

人間は、一部が隠れた人の顔や物を見たとき、過去に記憶した膨大なデータの中から、それが何かを瞬時に思い浮かべることができる。そこで、人間の脳の神経細胞に似た性質を持つニューロン CMOS インバータを用いることで、高速に動作する連想メモリが構成できるのではないのかと考えた [6,7]。筆者らは、ハミング距離を指標に、入力データに対して、最も類似する参照データを検索することが可能な最小ハミング距離検索連想メモリを提案した [8]。しかしながら、この回路は、最も類似する参照データのアドレスを出力するが、検索した参照データそのものを出力することができなかった。そこで、入力データに対して、最も類似した参照データそのものを出力する連想メモリを提案したが、ROM 型であるため、新しく参照データを書き込むことができなかった [9]。本稿では、ニューロン CMOS インバータを用いることで、最も類似した参照データそのものを出力でき、外部から参照データを書き込むことができる RAM 型連想メモリを提案する。提案回路では、最初に外部から参照データが CAM セルに書き込まれる。その後、入力データと参

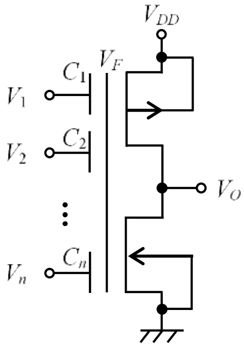
*　基盤工学部電気電子情報工学科４年
**　熊本県立技術短期大学校 電子システム技術科講師
[2017 年度大学院総合理工学研究科総合理工学専攻修了]
***　基盤工学部電気電子情報工学科教授

照データを比較し、入力データに最も類似する参照データを出力する。また、提案回路は Onsemi Sanyo 0.8μm CMOS プロセスを用いてレイアウト設計及びシミュレーションを行い、所期の動作が得られることを確認したので報告する。

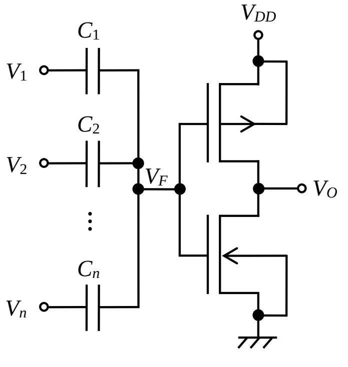
## ２．回路構成と回路動作

### 2.1　ニューロン CMOS インバータ

提案する連想メモリにおいて、入力データと参照データのハミング距離の検出には、ニューロン CMOS インバータを用いる。図－１は、ニューロン CMOS インバータの回路図である。また、図－２は図－１の等価回路である。図－１、図－２において、$V_{DD}$は電源電圧、$V_1$, $V_2$, …, $V_n$は入力端子の電圧、$C_1$, $C_2$, …, $C_n$は入力端子－フローティングゲート間容量である。
ニューロン CMOS インバータのフローティングゲートの電圧 $V_F$は、各入力端子の電圧と容量の重み付き平均となるため、次の式により表される。




図－１　ニューロン CMOS インバータの回路図




図－２　ニューロン CMOS インバータの等価回路

$$V_F = \frac{C_1V_1 + C_2V_2 + \cdots + C_nV_n}{C_T} \qquad (1)$$

なお、式中の $C_T$は、ニューロン CMOS インバータの入力端子－フローティングゲート間容量の総和である。ニューロン CMOS インバータの出力 $V_O$は、フローティングゲートの電圧 $V_F$と、ニューロン CMOS インバータの閾値電圧 $V_{TH}$によって定まり、

$$V_O = \begin{cases} V_{DD} & (V_F < V_{TH}) \\ 0 & (V_F > V_{TH}) \end{cases} \qquad (2)$$

となる。すなわち、式(2)から、ニューロン CMOS インバータの出力は、式(1)から得られるフローティングゲートの電圧 $V_F$が閾値電圧 $V_{TH}$を下回るとき $V_{DD}$ 、上回るとき 0 になることが分かる。

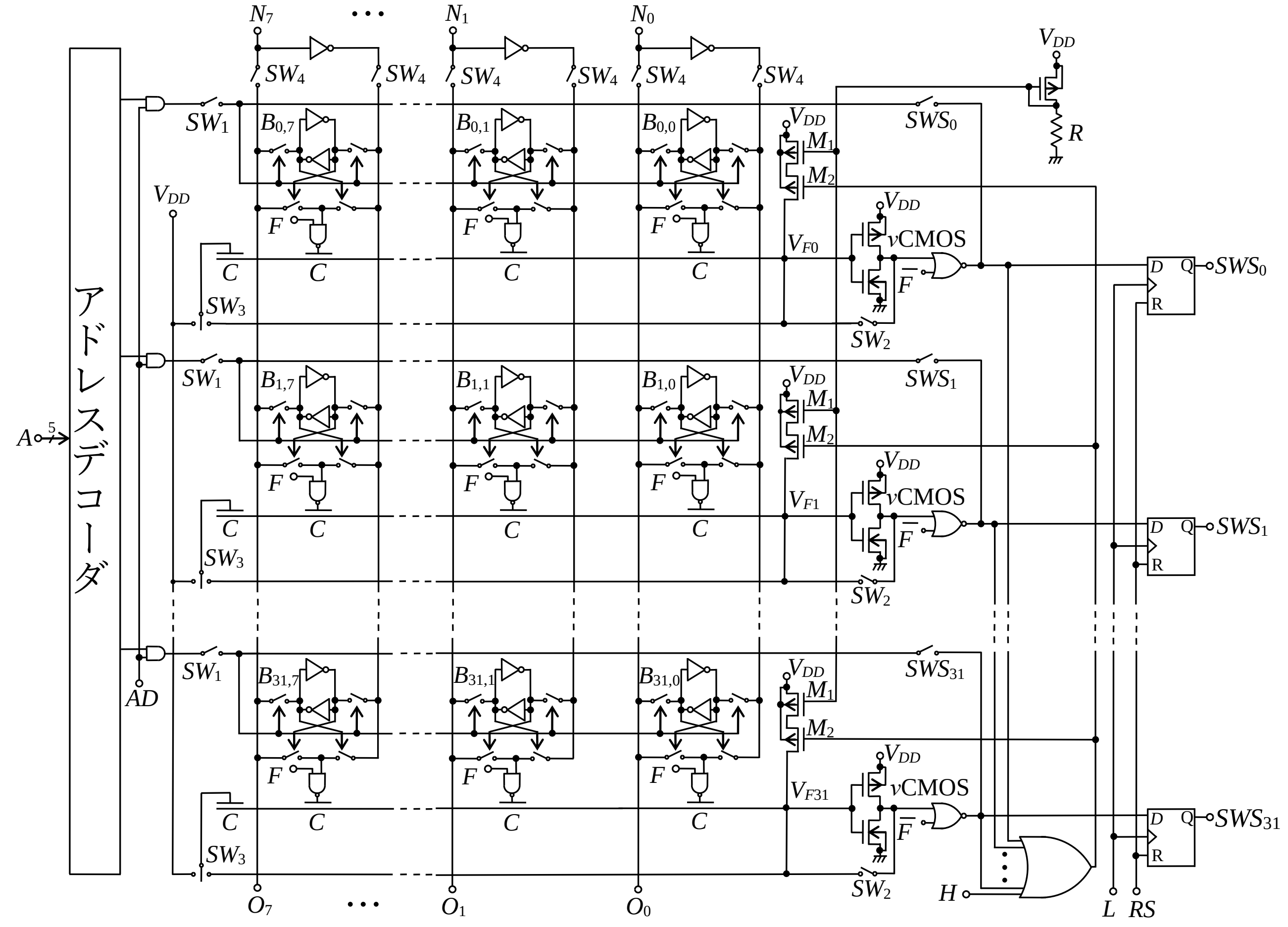
### 2.2　RAM 型最小ハミング距離検索連想メモリ

図－３は、提案するニューロン CMOS インバータを用いた RAM 型最小ハミング距離検索連想メモリの回路図である。なお、ビット数は 8、参照データの数であるワード数は32のものである。図において、$V_{DD}$は電源電圧、$B_{j,i}$ ($j$ = 0~31, $i$ = 0~7)は参照データ、$N_i$ ($i$ = 0~7)は入力データ、$F$、$H$、$AD$、$L$、$RS$ は制御電圧、νCMOS はニューロン CMOS インバータ、$SW_1$、$SW_2$、$SW_3$、$SW_4$ はアナログスイッチ、$SWS_j$($j$ = 0~31)は、D フリップフロップからの出力によって ON 状態、OFF 状態が定まるアナログスイッチ、$O_i$ ( $i$ = 0~7)は提案回路の出力である。なお、ニューロン CMOS インバータの入力端子－フローティングゲート間容量 $C$ は、全て同じになるように設計する。ハミング距離 $D_{Hammj}$ ($j$ = 0~31)は、入力データと $j$ ワード目の参照データ間の異なるビット数であり、次の式のように表される。

$$D_{Hammj} = \sum_{i=0}^{7} \left(N_i \oplus B_{j,i}\right) \qquad (j = 0,1,\ldots,31) \qquad (3)$$

なお、式中の⊕は、排他的論理和演算子である。

最初に、書き込み動作において、$RS$、$AD$、$L$、$H$をハイレベル、$F$をローレベル、$SW_1$、$SW_4$をON、$SW_2$をOFF、$SW_3$を$V_{DD}$側に接続する。このとき、アドレスデコーダの制御信号$A$によって、保存するアドレスを指定し、$B_{j,i}$ に参照データを書き込む。$RS$、$L$をハイレベルにすることで全ワードのDフリップフロップがリセット状態になり、Dフリップフロップの出力はすべてローレベルになるため、$SWS_j$ はOFFとなる。




図－３　提案するRAM型連想メモリの回路図

次に、類似検索において、$SW_1$、$SW_4$をON、$F$はローレベル、$H$はハイレベルのままにしておき、$RS$、$AD$、$L$をローレベル、$SW_2$をON、$SW_3$を$V_{Fj}$ ($j$ = 0~31)側に接続する。このときのフローティングゲートの電圧$V_{Fj}$ ($j$ = 0~31)はニューロンCMOSインバータのフローティングゲートに対する閾値電圧$V_{TH}$と等しくなり、以下の式のようになる。

$$V_{Fj} = V_{TH} \qquad (j = 0,1,\dots,31) \qquad (4)$$

次に、$SW_2$をOFF、$SW_3$を$V_{DD}$側に接続すると、フローティングゲート電圧は

$$V_{Fj} = V_{TH} + \frac{C}{C_T}(V_{DD} - V_{TH}) \;\; (j = 0,1,\dots,31) \qquad (5)$$

となる。次に、$F$をハイレベルにすると、入力データ$N_i$ ($i$ = 0~7)と参照データ$B_{j,i}$ ($j$ = 0~31, $i$ = 0~7)が一致している場合は、フローティングゲートに容量$C$を介して接続されている端子にハイレベルが印加され、不一致の場合は、NAND回路からニューロンCMOSインバータの入力端子ーフローティングゲート間容量にローレベルが印加される。不一致の数とハミング距離は等しいため、$j$番目のフローティングゲートの電圧$V_{Fj}$は、

$$V_{Fj} = V_{TH} + \frac{C}{C_T}(V_{DD} - V_{TH}) - D_{Hammj}\frac{C}{C_T}V_{DD} \qquad (6)$$

となる。式(6)から、入力データと$j$ワード目の参照データとの不一致の数であるハミング距離$D_{Hammj}$に比例した分のフローティングゲートの電圧が下降することが分かる。

次に$H$をローレベルにすると、OR回路の出力はローレベルになり、MOSトランジスタ$M_2$は導通するため、カレントミラー回路からフローティングゲートへ定電流が流れ込み、類似検索動作が開始される。ニューロンCMOSインバータのフローティングゲートの電圧$V_{Fj}$ ($j$ = 0~31)は、定電流により直線的に上昇を始め、ハミング距離$D_{Hammj}$が最小であるワードのνCMOSの$V_{Fj}$が最初に$V_{TH}$に達する。このとき、νCMOSの反転作用によりフローティングゲートの電圧が$V_{TH}$に達したワードのνCMOSの出力がローレベル、NOR回路の出力がハイレベルになり、OR回路の出力はハイレベルになる。これにより、全ワードの

MOSトランジスタ$M_2$はOFFになり、カレントミラー回路による充電動作が終了するため、フローティングゲートの電圧の上昇が終了する。

最後に、類似検索したデータの読み出しを行う。このとき、$L$をハイレベル、$SW_1$、$SW_4$をOFFにする。$SW_1$をOFFにすることで、アドレスデコーダ側とワード線が分離され、$SW_4$をOFFにすることで、入力データ$N_i$($i=0$~7)と参照データ$B_{j,i}$($j=0$~31, $i=0$~7)が分離される。$L$がハイレベルになることで、NOR回路の出力がハイレベルとなった$j$ワード目のNOR回路の出力信号が$SWS_j$を経由して、各CAMセル内にある、参照データを保持させるためのNOT回路両端のスイッチがONになる。$SW_4$はOFFになっていることから、$j$ワード目の参照データ$B_{j,i}$($i=0$~7)が得られ、出力$O_i$($i=0$~7)から読み出される。

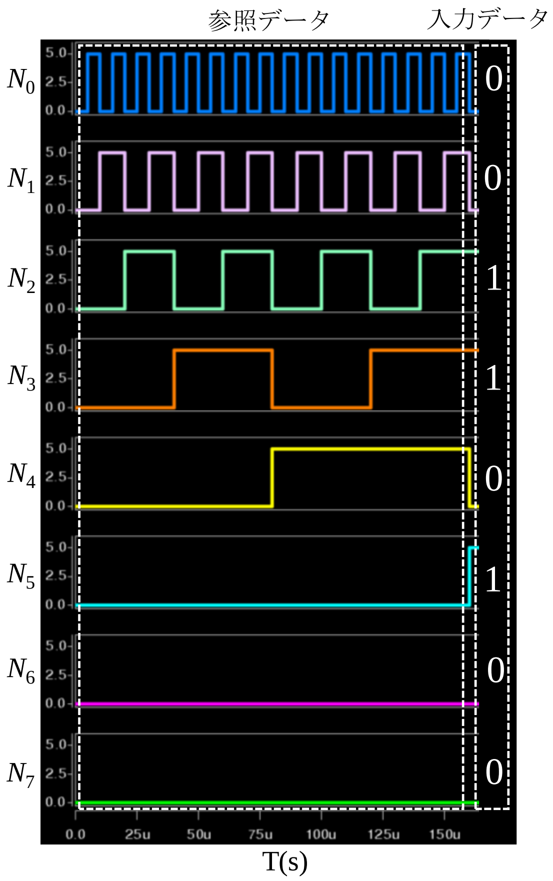
## ３．シミュレーション結果

8 ビット、32 ワードの場合の提案する RAM 型連想メモリを Onsemi Sanyo 0.8µm CMOS プロセスを用いてレイアウト設計を行い、HSPICE シミュレーションを行った。表−1 に、レイアウト設計及びシミュレーションに使用したパラメータをまとめた。なお、本 CMOS プロセスは、メタル 2 層、ポリシリコン 1 層である。図−４は、提案回路のレイアウト図である。レイアウト面積は、920µm × 5600µm であった。

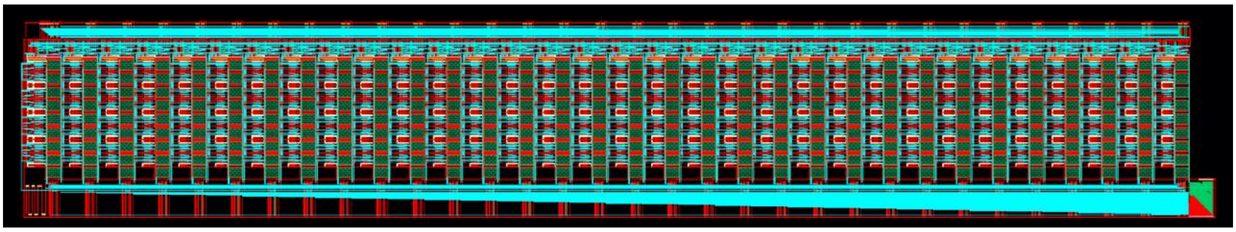
図−５は、シミュレーションに用いた入力データである。図において、左側は提案回路に書き込んだ参照データであり、右側は書き込んだ参照データと比較するための入力データである。表−２に本シミュレーションに用いた入力データと参照データのパターンを示す。

表−１　レイアウト設計及びシミュレーションに使用したパラメータ

| パラメーター名 | 値 |
|---|---|
| 電源電圧 $V_{DD}$ | 5.0 V |
| 閾値電圧 $V_{TH}$ | 2.5 V |
| 結合容量 $C$ | 1.7 pF |
| 抵抗 $R$ | 30.0 kΩ |
| pMOS ゲート長 | 1.0 µm |
| pMOS ゲート幅 | 9.2 µm |
| nMOS ゲート長 | 1.0 µm |
| nMOS ゲート幅 | 3.8 µm |




図−５　シミュレーションに用いた入力データ



図−４　提案する RAM 型連想メモリのレイアウト図

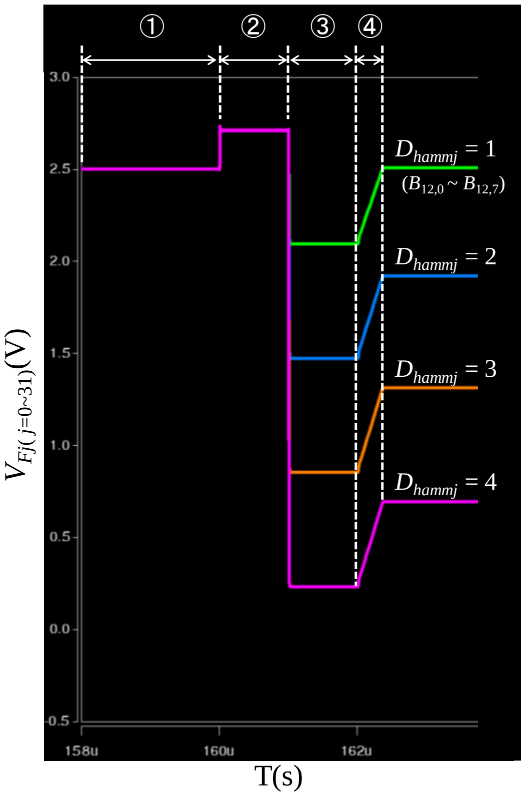
表－２　シミュレーションに用いた入力データと参照データのパターン

| 入力データ | 参照データ | ハミング距離 |
|---|---|---|
| $N_0$ ~ $N_7$ (00110100) | $B_{0,0}$ ~ $B_{0,7}$ (00000000) | 3 |
| | $B_{1,0}$ ~ $B_{1,7}$ (10000000) | 4 |
| | $B_{2,0}$ ~ $B_{2,7}$ (01000000) | 4 |
| | $B_{3,0}$ ~ $B_{3,7}$ (11000000) | 5 |
| | $B_{4,0}$ ~ $B_{4,7}$ (00100000) | 2 |
| | $B_{5,0}$ ~ $B_{5,7}$ (10100000) | 3 |
| | $B_{6,0}$ ~ $B_{6,7}$ (01100000) | 3 |
| | $B_{7,0}$ ~ $B_{7,7}$ (11100000) | 4 |
| | $B_{8,0}$ ~ $B_{8,7}$ (00010000) | 2 |
| | $B_{9,0}$ ~ $B_{9,7}$ (10010000) | 3 |
| | $B_{10,0}$ ~ $B_{10,7}$ (01010000) | 3 |
| | $B_{11,0}$ ~ $B_{11,7}$ (11010000) | 4 |
| | $B_{12,0}$ ~ $B_{12,7}$ (00110000) | 1 |
| | $B_{13,0}$ ~ $B_{13,7}$ (10110000) | 2 |
| | $B_{14,0}$ ~ $B_{14,7}$ (01110000) | 2 |
| | $B_{15,0}$ ~ $B_{15,7}$ (11110000) | 3 |
| | $B_{16,0}$ ~ $B_{16,7}$ (00001000) | 4 |
| | $B_{17,0}$ ~ $B_{17,7}$ (10001000) | 5 |
| | $B_{18,0}$ ~ $B_{18,7}$ (01001000) | 5 |
| | $B_{19,0}$ ~ $B_{19,7}$ (11001000) | 6 |
| | $B_{20,0}$ ~ $B_{20,7}$ (00101000) | 3 |
| | $B_{21,0}$ ~ $B_{21,7}$ (10101000) | 4 |
| | $B_{22,0}$ ~ $B_{22,7}$ (01101000) | 4 |
| | $B_{23,0}$ ~ $B_{23,7}$ (11101000) | 5 |
| | $B_{24,0}$ ~ $B_{24,7}$ (00011000) | 3 |
| | $B_{25,0}$ ~ $B_{25,7}$ (10011000) | 4 |
| | $B_{26,0}$ ~ $B_{26,7}$ (01011000) | 4 |
| | $B_{27,0}$ ~ $B_{27,7}$ (11011000) | 5 |
| | $B_{28,0}$ ~ $B_{28,7}$ (00111000) | 2 |
| | $B_{29,0}$ ~ $B_{29,7}$ (10111000) | 3 |
| | $B_{30,0}$ ~ $B_{30,7}$ (01111000) | 3 |
| | $B_{31,0}$ ~ $B_{31,7}$ (11111000) | 4 |

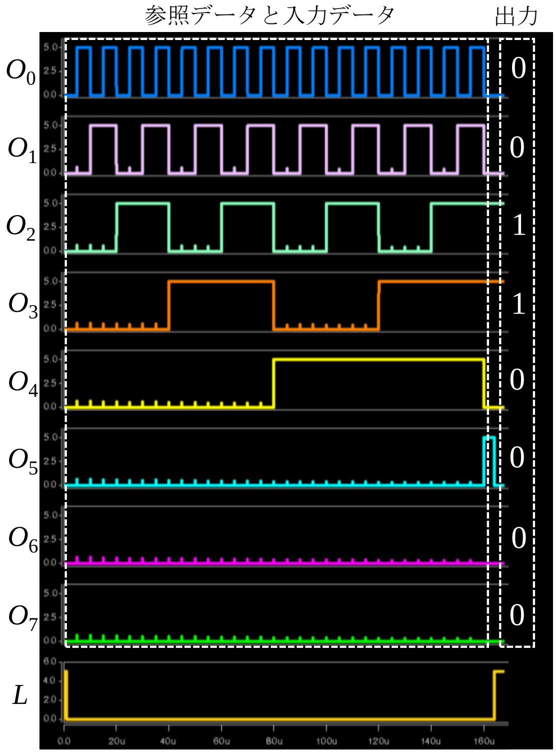
図－６は、ハミング距離が１～４の場合のニューロンCMOSインバータのフローティングゲートの電圧 $V_{Fj}$ ($j$ = 0~31)である。図より、期間①では $V_{Fj}$ が 2.5(V)となっている。これは式(4)で示した通り $V_{Fj}$ が閾値電圧 $V_{TH}$ と等しいことを示している。次に期間②では、式(5)で示した通り、$V_{Fj}$ が 2.5(V)よりもわずかに上昇している。続いて期間③では、式(6)で示した通り $V_{Fj}$ がハミング距離 $D_{Hammj}$ の数に比例して下降している。その後、期間④で $V_{Fj}$ が直線的に上昇し、$D_{Hammj}$ =1 であるワードの $V_{Fj}$ が 2.5(V)に達した時点で、全ての $V_{Fj}$ の上昇が終了している。

したがって本シミュレーション結果より、提案回路が所期の動作をしていることがわかる。なお、提案回路は、フローティングゲートの電圧を閾値電圧と等しくし、ハミング距離の分だけ電圧を下げて類似検索動作を行う。そのため、最小ハミング距離がビット数の半分より上の参照データを検索することができないため、ハミング距離が 5 以上のフローティングゲートの電圧は図示していない。

図－７は出力 $O_i$ ($i$ = 0~7)の動作波形である。図において、左側の破線部分は、図－５と同様の波形である。また、右側は出力 $O_i$ である。図－６、図－７、表－２より、最初に提案回路に参照データが書き込まれ、制御電圧 $L$ をハイレベルにした後に、全ワードに書き込んだ参照データ $B_{j,i}$ ($j$ = 0~31, $i$ = 0~7)の中から、入力データに対してハミング距離が最も小さい 12 番目の参照データ $B_{12,0}$～$B_{12,7}$ を出力していることが確認できる。これより、最も類似した参照データを出力する RAM 型連想メモリとして動作していることがわかる。




図－６　フローティングゲートの電圧のシミュレーション結果




図－７　提案回路の出力の波形

４．まとめ

本稿では、入力データに対してハミング距離が最小である参照データを検索して出力する、ニューロン CMOS インバータを用いた RAM 型最小ハミング距離検索連想メモリを提案した。また、提案する連想メモリにおいてレイアウト設計、及び、シミュレーションを行い、所期の結果が得られることを確認した。

提案回路では、ハミング距離が最小の参照データが 2 つ以上ある場合、参照データ同士がショートしてしまうため、検索できないという問題点がある。今後の課題として、最も類似した参照データが複数存在する場合でも、その全ての参照データが出力できるような回路設計を行う予定である。

参考文献


1) 小出哲士：最小距離検索連想メモリ LSIアーキテクチャの開発とその集積化，丸文財団ホームページ(2004)

2) F. K. Gurkaynak, Y. Leblebici and D. Mlynek: A Compact High-Speed Hamming Distance Comparator for Pattern Matching Applications, *Proceedings of 1998 European Signal Processing Conference 1998*(1998-9)

3) H. J. Mattausch, T. Gyohten, T. Soda and T. Koide: Compact Associative-Memory Architecture with Fully Parallel Search Capability for the Minimum Hamming Distance, *IEEE Journal of Solid-State Circuits*, Vol.37, No.2, pp.218-227(2002-8)

4) 大池祐輔・池田誠・浅田邦博：同期式高速ハミング距離検索連想メモリ，信学技法、ICD, Vol.37, No.2, pp.19-24 (2002-4)

5) 小出哲士・行天隆幸・早田嘉浩・マタウシュ ハンスユルゲン：最小ハミング距離検索機能を有する全並列型アーキテクチャによる少面積・高速連想メモリの開発，信学技法，ICD, Vol.101, No.1, pp.27-34 (2001-4)

6) T. Shibata and T. Ohmi: A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations, *IEEE Trans. Electron Devices*, Vol.39, No.6, pp.1444-1455(1992-6)

7) 柴田直・大見忠弘：ニューロンMOSトランジスタの拓く新しい理論LSIの世界，信学技法，ICD93-6, pp.39-46 (1993-4)

8) 原田裕二郎・藤本邦昭・福原雅朗・吉田正廣：ニューロンCMOSインバータを用いた最小ハミング距離検索連想メモリ，電気学会論文誌C，Vol.136, No.1, pp.36-42 (2016-1)

9) 後藤健太・花田光成・佐保十世紀・藤本邦昭：ニューロンCMOSを用いたROM型連想メモリ，第19回日本知能情報ファジィ学会九州支部学術講演会(2017-12)